

(19)



JAPANESE PATENT OFFICE

09/940.491

JPA 06-282487

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06282487 A**(43) Date of publication of application: **07.10.94**

(51) Int. Cl.

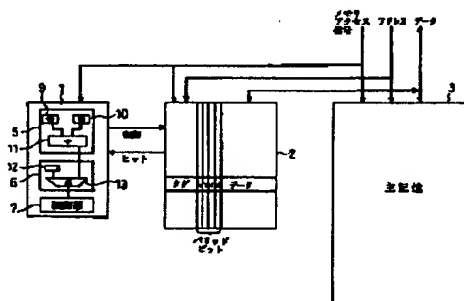
**G06F 12/08**(21) Application number: **05066996**(22) Date of filing: **25.03.93**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **NISHIKAWA YUKINOBU**(54) **CACHE DEVICE**

COPYRIGHT: (C)1994,JPO

(57) Abstract:

**PURPOSE:** To obtain the cache device which dynamically changes a cache control system so as to match a program to be run by providing a hit rate calculating means, a hit rate condition decision means, and a control means which switches the cache control system.

**CONSTITUTION:** This cache device is equipped with the hit rate calculation part 5 which calculates a hit rate, the hit rate condition decision part 6 which decides whether or not the hit rate obtained by the calculation part 5 meets specific hit rate conditions, and the control part 7 which switches the cache control system according to the decision result of the decision part 6, so the cache control system can dynamically be changed. Therefore, when there are a small number of copies of a main storage 3 in a cache memory 2, replacement size is made large to four words and then the probability that data depend upon the memory 2 can be increased. Further, when the hit rate increases to some extent, the replacement size is switched to one word and then memory traffic for entry replacement can be decreased.



JPA06-282487

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-282487

(43) 公開日 平成6年(1994)10月7日

(51) Int. Cl. <sup>5</sup>

G06F 12/08

識別記号

庁内整理番号

F I

技術表示箇所

W 7608-5B

審査請求 未請求 請求項の数 3 O L (全7頁)

(21) 出願番号 特願平5-66996

(22) 出願日 平成5年(1993)3月25日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 西川 幸伸

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

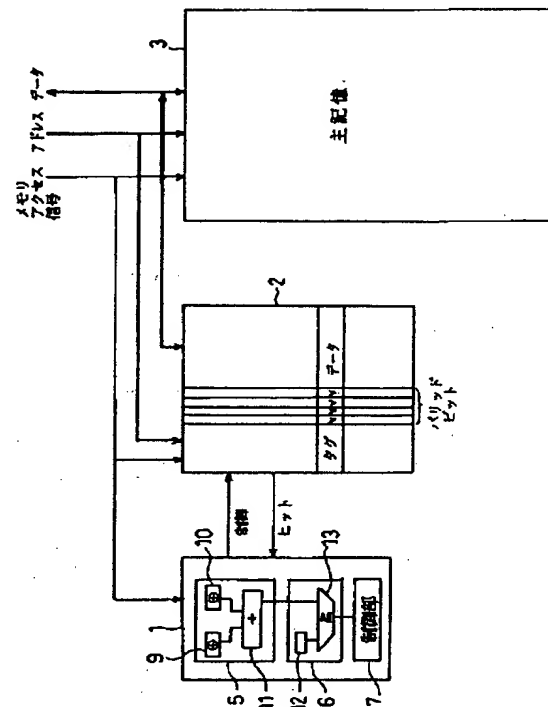
(74) 代理人 弁理士 中島 司朗

(54) 【発明の名称】 キャッシュ装置

(57) 【要約】

【目的】 走行させるプログラムに適するように、動的に制御方式を変更し得るキャッシュ装置を提供する。

【構成】 ヒット率計算部5は、ヒット率を計算する。ヒット率条件判定部6は、ヒット率計算部5によって得られたヒット率が所定のヒット率条件に合致するか否かを判定する。制御部7は、ヒット率条件判定部6による判定結果に応じてキャッシュ制御方式を切り替える。



1

## 【特許請求の範囲】

【請求項1】 ヒット率を計算するヒット率計算手段と、

前記ヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定手段と、

前記ヒット率条件判定手段による判定結果に応じてキャッシュ制御方式を切り替える制御手段と、  
を備えたことを特徴とするキャッシュ装置。

【請求項2】 ヒット率を計算するヒット率計算手段と、

前記ヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定手段と、

一定量のメモリデータを保持するデータ保持手段と、  
一定量のメモリデータを前記データ保持手段に転送する転送手段と、

を備え、前記ヒット率条件判定手段によってヒット率条件が成立したと判断されたときに一定量のメモリデータの前記データ保持手段への転送を開始する構成としたことを特徴とするキャッシュ装置。

【請求項3】 ヒット率を計算するヒット率計算手段と、

前記ヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定手段と、

キャッシュの無効エントリを検索して無効エントリにデータを読み込むエントリロード手段と、

第1のキャッシュメモリと、

前記ヒット率条件判定手段によってヒット率条件が成立したと判断されたときに無効エントリへのデータ読み込みを行なう第2のキャッシュメモリと、

を備えたことを特徴とするキャッシュ装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンピュータシステムにおいてメモリアクセスを実効的に高速化するためのキャッシュ装置に関するものである。

【0002】

【従来の技術】コンピュータシステムにおいては、一般に、CPUの処理速度に比べて主記憶へのアクセス速度は数倍から十数倍遅く、メモリアクセス速度がボトルネックとなり、高速な命令実行が望めない。そこで従来より、例えば、「キャッシュ記憶」（長島・堀越、情報処理、vol. 21、No. 4、p. 332-340、1980）に示されているように、主記憶の内容の一部を小容量の高速メモリに保持させることにより、実効的にメモリアクセスを高速化するキャッシュ装置が用いられる。

【0003】このような従来のキャッシュ装置は、制御

2

方式が固定的であった。また、EEPROMなどのように、既に存在するデータをメモリチップ全体またはメモリチップ内の当該ブロックから消去してからでないとデータを書き込めないデバイスを主記憶に使用する場合には、データを書き込む前に書き込み先を含むメモリチップまたはメモリチップ内ブロックの全データを退避する必要があった。

【0004】

【発明が解決しようとする課題】しかしながら従来のキャッシュ装置では、上記のように制御方式が固定的であったため、走行させるプログラムに適したキャッシュ制御ができない、という問題点を有していた。また、EEPROMなどのように、既に存在するデータをメモリチップ全体またはメモリチップ内の当該ブロックから消去してからでないとデータを書き込めないデバイスを主記憶に使用する場合には、上記のように、データを書き込む前に書き込み先を含むメモリチップまたはメモリチップ内ブロックの全データを退避する必要があるため、従来のキャッシュ装置では使用することができない、という問題点を有していた。

【0005】本発明はかかる事情に鑑みて成されたものであり、走行させるプログラムに適するように、動的に制御方式を変更し得るキャッシュ装置を提供することを目的とする。また本発明は、EEPROMなどデータ書き込み前にブロック単位またはチップ単位でデータを退避する必要のあるデバイスによって主記憶が構成されている場合にも使用可能なキャッシュ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】請求項1の発明は、ヒット率を計算するヒット率計算手段と、このヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定手段と、このヒット率条件判定手段による判定結果に応じてキャッシュ制御方式を切り替える制御手段と、を備えたことを特徴としている。

【0007】請求項2の発明は、ヒット率を計算するヒット率計算手段と、このヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定手段と、一定量のメモリデータを保持するデータ保持手段と、一定量のメモリデータを前記データ保持手段に転送する転送手段と、を備え、前記ヒット率条件判定手段によってヒット率条件が成立したと判断されたときに一定量のメモリデータの前記データ保持手段への転送を開始する構成としたことを特徴としている。

【0008】請求項3の発明は、ヒット率を計算するヒット率計算手段と、このヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定手段と、キャッシュの無効エ

10

20

30

40

50

ントリを検索して無効エントリにデータを読み込むエントリロード手段と、第 1 のキャッシュメモリと、前記ヒット率条件判定手段によってヒット率条件が成立したと判断されたときに無効エントリへのデータ読み込みを行なう第 2 のキャッシュメモリと、を備えたことを特徴としている。

【0009】

【作用】請求項 1 の発明において、ヒット率計算手段は、ヒット率を計算する。ヒット率条件判定手段は、ヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定する。制御手段は、ヒット率条件判定手段による判定結果に応じてキャッシュ制御方式を切り替える。

【0010】請求項 2 の発明において、ヒット率計算手段は、ヒット率を計算する。ヒット率条件判定手段は、ヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定する。データ保持手段は、一定量のメモリデータを保持する。転送手段は、一定量のメモリデータをデータ保持手段に転送する。そして、ヒット率条件判定手段によってヒット率条件が成立したと判断されたときに一定量のメモリデータのデータ保持手段への転送を開始する。

【0011】請求項 3 の発明において、ヒット率計算手段は、ヒット率を計算する。ヒット率条件判定手段は、ヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定する。エントリロード手段は、キャッシュの無効エントリを検索して無効エントリにデータを読み込む。第 2 のキャッシュメモリは、ヒット率条件判定手段によってヒット率条件が成立したと判断されたときに無効エントリへのデータ読み込みを行なう。

【0012】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。

（実施例 1）図 1 は本発明の実施例 1 におけるキャッシュ装置の構成図で、このキャッシュ装置は、キャッシュ制御部 1 と、キャッシュメモリ 2 と、主記憶 3 とを備えている。キャッシュ制御部 1 は、ヒット率計算部 5 と、ヒット率条件判定部 6 と、制御部 7 とを備えている。ヒット率計算部 5 は、メモリアクセスカウンタ 9 と、ヒットカウンタ 10 と、割算器 11 とを備えている。ヒット率条件判定部 6 は、ヒット率しきい値設定レジスタ 12 と、比較器 13 とを備えている。キャッシュメモリ 2 は、ダイレクトマップ方式、ライトスルー方式であり、ラインサイズ 4 ワードでワード毎のバリッドビットを持っている。

【0013】次に動作を説明する。このキャッシュ装置は、キャッシュミス時にエントリをリプレースする場合、ヒット率の値によってリプレースするサイズを変更することができる。このエントリリプレースサイズの変

更は、キャッシュ制御部 1 の制御部 7 により行なう。また、1 回の主記憶アクセスで可能なデータサイズは最大 1 ワードである。

【0014】図外の CPU からメモリアクセスが発生したとき、キャッシュメモリ 2 に該当するエントリがあるか否か検索される。ヒットした場合、読み出しであればキャッシュメモリ 2 からデータが供給され、書き込みであれば当該キャッシュエントリにデータを書き込み、ライトスルー方式であるため、さらに、主記憶 3 にもデータ書き込みを行なう。読み出し、書き込みとも、ミスヒットしたときには、エントリリプレースが発生する。即ち、当該エントリに新しいタグ情報を設定し、該当するメモリアドレスからデータを読み込んでエントリをアップデートする。このとき、ヒット率の値によって、ラインサイズの 4 ワードでアップデートするか、必要なワードだけをアップデートするかを切り替える。次にその切り替え動作について説明する。

【0015】先ずヒット率計算部 5 が、リードあるいはライトのメモリアクセス状態信号とキャッシュメモリ 2 からのヒット／ミス信号とに基づいてヒット率を計算する。即ち、メモリアクセスが発生する度に、メモリアクセスカウンタ 9 をインクリメントして総メモリアクセス回数をカウントし、キャッシュメモリ 2 がヒットしていれば、ヒットカウンタ 10 をインクリメントして総ヒット回数を得る。さらに、割算器 11 で総ヒット回数を総メモリアクセス回数で割ることによってアクセス毎のヒット率を計算し、ヒット率条件判定部 6 に送る。これによりヒット率条件判定部 6 が、予めヒット率しきい値設定レジスタ 12 に設定されているしきい値と得られたヒット率とを比較器 13 で比較し、ヒット率がしきい値以上であれば制御部 7 に条件成立を通知する。これにより制御部 7 が、ヒット率条件成立を受けて、リプレースサイズを 4 ワードから 1 ワードに切り替える。

【0016】このように、ヒット率を計算するヒット率計算部 5 と、ヒット率計算部 5 によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定部 6 と、ヒット率条件判定部 6 による判定結果に応じてキャッシュ制御方式を切り替える制御部 7 とを備えたので、キャッシュ制御方式を動的に変更できる。したがって、キャッシュメモリ 2 に主記憶 3 のコピーが少ないときにはリプレースサイズを 4 ワードと大きくすることにより、キャッシュメモリ 2 にデータが存在する確率を向上させることができる。また、ヒット率がある程度大きくなったときには、リプレースサイズを 1 ワードに切り替えることにより、エントリリプレースのためのメモリトラヒックを下げることができ、オーバーヘッドを低減できる。

【0017】なお上記実施例 1 では、ヒット率に応じてエントリリプレースサイズを切り替える構成としたが、本発明は必ずしもこのような構成に限定されるものでは

なく、ライトスルーとライトバックとの切り替え、リブレースアルゴリズムの切り替えなどの他のキャッシュ制御や、ダイレクトマップ方式からセクタキャッシュ方式への切り替えなどの構成方式の切り替えを採用してもよい。

(実施例 2) 図 2 は本発明の実施例 2 におけるキャッシュ装置の構成図で、このキャッシュ装置は、キャッシュ制御部 1 と、キャッシュメモリ 2 と、EEPROM 主記憶 15 と、退避データ転送制御部 16 と、退避メモリ 17 と、バッファ 18 と、セクタ 19 とを備えている。キャッシュ制御部 1 は、ヒット率計算部 5 と、ヒット率条件判定部 6 と、制御部 7 と、ブロック選択部 21 とを備えている。退避データ転送制御部 16 は、ブロックアドレスレジスタ 22 と、オフセットカウンタ 23 とを備えている。ヒット率計算部 5 は、メモリアクセスカウンタ 9 と、ヒットカウンタ 10 と、割算器 11 とを備えている。ヒット率条件判定部 6 は、ヒット率しきい値設定レジスタ 12 と、比較器 13 とを備えている。EEPROM 主記憶 15 は、512 バイト単位でブロック消去可能な EEPROM により構成されている。退避メモリ 17 は、512 バイトである。キャッシュメモリ 2 は、ラインサイズ 1 ワードのダイレクトマップ方式で、ライトヒット時の主記憶更新はライトバック方式で行なう。

【0018】次に動作を説明する。図外の CPU からメモリアクセスが発生したとき、キャッシュメモリ 2 に該当するエントリがあるか否か検索される。ヒットした場合、読み出しならキャッシュメモリ 2 からデータが供給され、書き込みなら当該キャッシュエントリにデータを書き込むが、ライトバック方式であるため、EEPROM 主記憶 15 にはデータ書き込みを行なわない。読み出し、書き込みとも、ミスヒットし、かつそのエントリに有効データが存在するときには、エントリリブレースが発生する。この実施例 2 では、エントリリブレース時の主記憶更新発生時と、ヒット率が予め設定した値以上になったときに、退避メモリ 17 への主記憶データ退避を起動する。

【0019】ヒット率が予め設定した値より小さいときに、エントリリブレースが発生した場合には、ミスヒットしたエントリの内容を EEPROM 主記憶 15 に反映した上で、タグ情報の書換を含むエントリアップデートを行なう必要がある。EEPROM 主記憶 15 は EEPROM で構成されているため、主記憶反映時に、先ず当該データを含む 512 バイトのブロックデータ読み出しを行なわなければならない。このためキャッシュ制御部 1 の制御部 7 が、ミスヒットしたエントリのタグからブロックアドレスに相当する部分を退避データ転送制御部 16 のブロックアドレスレジスタ 22 に設定する。これにより退避データ転送制御部 16 が、オフセットカウンタ 23 を順次インクリメントすることによってアドレスを生成し、EEPROM 主記憶 15 から該当するブロッ

クのデータを順次退避メモリ 17 へ転送する。転送終了後、退避データ転送制御部 16 が、オフセットカウンタ 23 にミスヒットエントリのタグからブロック内オフセットに相当する部分を設定し、ミスヒットしたキャッシュエントリのデータを退避メモリ 17 に書き込む。その後、キャッシュ制御部 1 が、キャッシュエントリのアップデートを行い、キャッシュ動作を再開する。そして退避データ転送制御部 16 が、EEPROM 主記憶 15 の当該ブロックの消去を行い、消去終了後、退避メモリ 17 の内容を当該ブロックに書き戻す。書き戻す際のアドレス生成は、EEPROM 主記憶 15 から読み出すときと同様に行なう。但し、書き戻し中にキャッシュメモリ 2 や CPU からの EEPROM 主記憶読み出しが発生した場合には読み出しを優先する。また、ブロック消去あるいは EEPROM 主記憶 15 への書き戻し中に発生したエントリリブレースのための処理は、書き戻し終了まで待たされる。

【0020】次にヒット率が予め設定した値以上になったときの動作を説明する。ヒット率計算部 5 が、リードあるいはライトのメモリアクセス状態信号とキャッシュメモリ 2 からのヒット/ミス信号とに基づいてヒット率を計算する。即ち、メモリアクセスが発生する度に、メモリアクセスカウンタ 9 をインクリメントして総メモリアクセス回数をカウントし、キャッシュメモリ 2 がヒットしていれば、ヒットカウンタ 10 をインクリメントして総ヒット回数を得る。さらに、割算器 11 で総ヒット回数を総メモリアクセス回数で割ることによってアクセス毎のヒット率を計算し、ヒット率条件判定部 6 に送る。これによりヒット率条件判定部 6 が、予めヒット率しきい値設定レジスタ 12 に設定されたしきい値と得られたヒット率とを比較器 13 で比較し、ヒット率がしきい値以上であれば制御部 7 に条件成立を通知する。これにより制御部 7 が、ヒット率条件成立を受けて、退避メモリ 17 へのデータ退避を起動する。そしてブロック選択部 21 が、退避すべき主記憶ブロックを選び、そのブロックアドレスを退避データ転送制御部 16 のブロックアドレスレジスタ 22 に設定する。これにより退避データ転送制御部 16 が、オフセットカウンタ 23 を 0 から順次インクリメントしてアドレスを生成し、EEPROM 主記憶 15 からデータを読み出し、退避メモリ 17 に順次格納していく。この間、キャッシュメモリ 2 がヒットしている限りは EEPROM 主記憶 15 には CPU またはキャッシュメモリ 2 からのアクセスは発生しないため、CPU の動作とデータの退避とを並行して行なうことができる。つまり、キャッシュミスヒットで、かつミスヒットエントリに有効なデータがあるとき、即ちエントリリブレースが発生するまで、CPU 動作とデータ退避とを並行処理できる。

【0021】エントリリブレースが発生すると、退避データ転送制御部 16 が、コピーバックすべきエントリの

10

20

30

40

50

ブロックアドレスと現在退避しているブロックアドレスとを比較する。ブロックアドレスが一致していれば、データ退避をそのまま継続して行い、以後は上記の退避、消去、書き戻しの処理を行なう。ブロックアドレスが一致しなければ、上記のヒット率が設定値より低いときにエントリリプレースが発生した場合の処理と同じ処理をする。つまり、当該ブロックのデータ退避をやり直す。

【0022】エントリリプレースが発生するまでにデータ退避転送が終了したときには、そこで処理を中断する。その後エントリリプレースが発生したとき、退避データ転送制御部16が、コピーバックすべきエントリのブロックアドレスと現在退避しているブロックアドレスとを比較する。ブロックアドレスが一致していれば、消去、書き戻しの処理を行なう。ブロックアドレスが一致しなければ、当該ブロックのデータ退避からやり直す。

【0023】このように、ヒット率を計算するヒット率計算部5と、ヒット率計算部5によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定部6と、一定量のメモリデータを保持する退避メモリ17と、一定量のメモリデータを退避メモリ17に転送する退避データ転送制御部16とを備え、ヒット率条件判定部6によってヒット率条件が成立したと判断されたときに一定量のメモリデータの退避メモリ17への転送を開始する構成としたので、EEPROMなどデータ書き込み前に該当データを含むブロックの消去を行なう必要のあるデバイスを主記憶に使用した場合でも、キャッシュ装置を実現できる。しかも、ヒット率がある程度大きくなってきたときには、CPU動作とデータの退避とを並行して実行でき、オーバーヘッドを低減できる。

(実施例3) 図3は本発明の実施例3におけるキャッシュ装置の構成図で、このキャッシュ装置は、キャッシュ制御部1と、EEPROM主記憶15と、バッファ18と、セクタ19と、セクタ24と、第1キャッシュメモリ25と、第2キャッシュメモリ26と、エントリロード制御部27とを備えている。キャッシュ制御部1は、ヒット率計算部5と、ヒット率条件判定部6と、制御部7と、ブロック選択部21とを備えている。エントリロード制御部27は、ブロックアドレスレジスタ28と、インデックスカウンタ29とを備えている。ヒット率計算部5は、メモリアクセスカウンタ9と、ヒットカウンタ10と、割算器11とを備えている。ヒット率条件判定部6は、ヒット率しきい値設定レジスタ12と、比較器13とを備えている。EEPROM主記憶15は、512バイト単位でブロック消去可能なEEPROMにより構成されている。第1キャッシュメモリ25および第2キャッシュメモリ26は、ラインサイズ1ワード、容量512バイトのダイレクトマップ方式で、ライトヒット時の主記憶更新はライトバック方式で行なう。また、ヒット率計算部5が使用するヒット情報は、第2

キャッシュメモリ26のものである。

【0024】次に動作を説明する。ヒット率が予め設定した値より小さいときには、第2キャッシュメモリ26はキャッシュ動作をしているが、ヒット率が設定値以上になったときには、第2キャッシュメモリ26をEEPROM主記憶15のブロックデータ退避に使用する。ヒット率が予め設定した値より小さいときには、第1キャッシュメモリ25でエントリリプレースが発生しない限り、第2キャッシュメモリ26は、キャッシュ動作をしている。また、第2キャッシュメモリ26は、エントリリプレース処理は行なわない。つまり、第2キャッシュメモリ26は、ミスヒットが起こり、かつミスヒットエントリに有効データがあっても、EEPROM主記憶15に書き戻さずに、そのままアップデートする。CPUが使用する読み出しデータは、通常のキャッシュ動作を行なっている第1キャッシュメモリ25のデータである。

【0025】第1キャッシュメモリ25でエントリリプレースが発生した場合には、キャッシュ制御部1の制御部7が、ミスヒットしたエントリのタグからブロックアドレスに相当する部分をエントリロード制御部27のブロックアドレスレジスタ28に設定する。そしてミスヒットしたエントリのインデックス情報によって第2キャッシュメモリ26の同じインデックス位置に相当するエントリにミスヒットデータを書き込む。その後、キャッシュ制御部1が、第1キャッシュメモリ25のエントリのアップデートを行い、第1キャッシュメモリ25のキャッシュ動作を再開する。そしてエントリロード制御部27が、第2キャッシュメモリ26のタグを検索し、タグのブロックアドレスに相当する部分がブロックアドレスレジスタ28と一致しないエントリを順次探し、そのエントリにデータをEEPROM主記憶15から読み込んでいく。そのときのアドレスは、ブロックアドレスレジスタ28の内容とそのエントリの位置情報とで生成される。全読み込みが終了した時点で、エントリロード制御部27が、EEPROM主記憶15の当該ブロックの消去を行い、消去終了後、第2キャッシュメモリ26の内容を当該ブロックに書き戻す。書き戻しが終了すると、メモリアクセスカウンタ9とヒットカウンタ10とをリセットし、第2キャッシュメモリ26が、エントリリプレース処理を除くキャッシュ動作に戻る。なお、書き戻す際のアドレス生成は、ブロックアドレスレジスタ28とインデックスカウンタ29とで生成する。書き戻し中にEEPROM主記憶読み出しが発生した場合には、読み出しを優先する。また、ブロック消去あるいはEEPROM主記憶15への書き戻し中に発生した第1キャッシュメモリ25のエントリリプレースのための処理は、書き戻し終了まで待たされる。

【0026】次にヒット率が予め設定した値以上になったときの動作を説明する。ヒット率計算部5が、リード

あるいはライトのメモリアクセス状態信号と第2キャッシュメモリ26から送られるヒット/ミス信号とに基づいてヒット率を計算する。即ち、メモリアクセスが発生する度に、メモリアクセスカウンタ9をインクリメントして総メモリアクセス回数をカウントし、第2キャッシュメモリ26がヒットしていれば、ヒットカウンタ10をインクリメントして総ヒット回数を得る。さらに、割算器11で総ヒット回数を総メモリアクセス回数で割ることによってアクセス毎のヒット率を計算し、ヒット率条件判定部6に送る。これによりヒット率条件判定部6が、予めヒット率しきい値設定レジスタ12に設定されたしきい値と得られたヒット率とを比較器13で比較し、ヒット率がしきい値以上であれば制御部7に条件成立を通知する。これにより制御部7が、ヒット率条件成立を受けて、第2キャッシュメモリ26へのエントリロードが起動される。第1キャッシュメモリ25でエントリリプレースが発生しない限りは、CPUの動作と第2キャッシュメモリ26へのエントリロードとを並行して行なうことができる。

【0027】第1キャッシュメモリ25でエントリリプレースが発生すると、コピーバックすべきエントリのブロックアドレスをブロックアドレスレジスタ28に設定し、以後は上記のエントリロード、消去、書き戻しの処理を行なう。第1キャッシュメモリ25でエントリリプレースが発生するまでに第2キャッシュメモリ26のエントリロードが終了したときには、そこで処理を中断する。その後、第1キャッシュメモリ25でエントリリプレースが発生したとき、上記のエントリロード、消去、書き戻しの処理を行なう。即ち、エントリロード起動時に設定したブロックアドレスとリプレースエントリのブロックとが一致していればデータ退避を省略できる。一致していなければ全エントリの読み直しになるが、この動作は上記の処理で自動的に行なわれる。

【0028】このように、ヒット率を計算するヒット率計算部5と、ヒット率計算部5によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定部6と、キャッシュの無効エントリを検索して無効エントリにデータを読み込むエントリロード制御部27と、第1キャッシュメモリ25と、ヒット率条件判定部6によってヒット率条件が成立したと判断されたときに無効エントリへのデータ読み込みを行なう第2キャッシュメモリ26とを備えたので、EEPROMなどデータ書き込み前に該当データを含むブロックの消去を行なう必要のあるデバイスを主記憶に使用した場合でも、キャッシュ装置を実現できる。しかも、退避すべきデータを第2キャッシュメモリ26に先行して読み込めるので、オーバーヘッドが少ないキャッシュ装置を実現できる。

【0029】

【発明の効果】以上説明したように本発明によれば、ヒ

ット率を計算するヒット率計算手段と、ヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定手段と、ヒット率条件判定手段による判定結果に応じてキャッシュ制御方式を切り替える制御手段と、を備えたので、予め設定したヒット率条件に従って、キャッシュ制御方式を変更することを可能にでき、プログラム走行中にキャッシュヒット率によって制御を変更することが可能になり、効率的なキャッシュ装置を実現することができる。例えば、キャッシュメモリに主記憶のコピーが少ないときにはリプレースサイズを大きくすることにより、キャッシュメモリにデータが存在する確率を向上させることができる。また、ヒット率がある程度大きくなったときには、リプレースサイズを小さくすることにより、エントリリプレースのためのメモリトラヒックを下げることができ、オーバーヘッドを低減できる。

【0030】また、ヒット率を計算するヒット率計算手段と、ヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定手段と、一定量のメモリデータを保持するデータ保持手段と、一定量のメモリデータを前記データ保持手段に転送する転送手段と、を備え、前記ヒット率条件判定手段によってヒット率条件が成立したと判断されたときに一定量のメモリデータの前記データ保持手段への転送を開始する構成とすれば、EEPROMなど書き込み前にブロック単位またはチップ全体のデータを退避する必要のあるデバイスを主記憶に使用した場合のキャッシュ装置を実現することができる。しかも、ヒット率がある程度大きくなってきたときには、CPU動作とデータの退避とを並行して実行でき、オーバーヘッドを低減できる。

【0031】また、ヒット率を計算するヒット率計算手段と、ヒット率計算手段によって得られたヒット率が所定のヒット率条件に合致するか否かを判定するヒット率条件判定手段と、キャッシュの無効エントリを検索して無効エントリにデータを読み込むエントリロード手段と、第1のキャッシュメモリと、ヒット率条件判定手段によってヒット率条件が成立したと判断されたときに無効エントリへのデータ読み込みを行なう第2のキャッシュメモリと、を備えれば、EEPROMなど書き込み前にブロック単位またはチップ全体のデータを退避する必要のあるデバイスを主記憶に使用した場合のキャッシュ装置を実現することができる。しかも、退避すべきデータを第2キャッシュメモリに先行して読み込めるので、オーバーヘッドが少ないキャッシュ装置を実現できる。

【図面の簡単な説明】

【図1】本発明の実施例1におけるキャッシュ装置の構成図である。

【図2】本発明の実施例2におけるキャッシュ装置の構成図である。

11

12

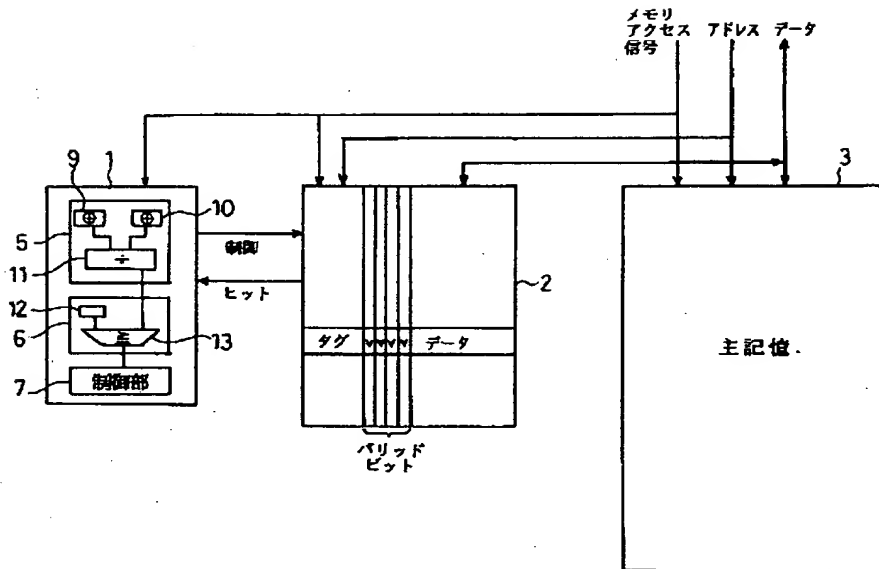
【図3】本発明の実施例3におけるキャッシュ装置の構成図である。

【符号の説明】

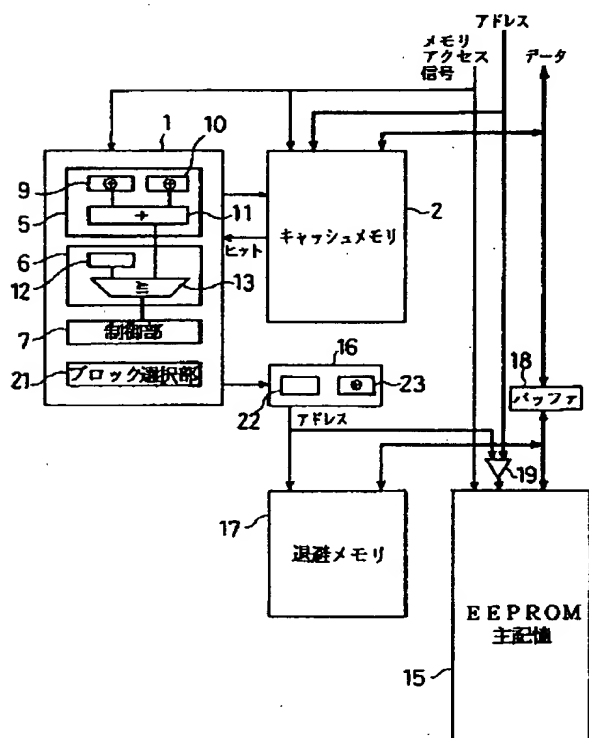
- 5 ヒット率計算部  
6 ヒット率条件判定部  
7 制御部

- 16 退避データ転送制御部  
17 退避メモリ  
25 第1キャッシュメモリ  
26 第2キャッシュメモリ  
27 エントリロード制御部

【図1】



【図2】



【図3】

